

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月25日
Date of Application:

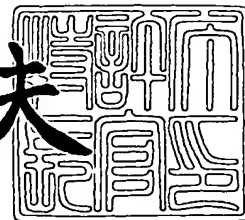
出願番号 特願2003-082548
Application Number:
[ST. 10/C]: [JP 2003-082548]

出願人 ローム株式会社
Applicant(s):

2003年11月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3097662

【書類名】 特許願

【整理番号】 02-00442

【提出日】 平成15年 3月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 1/14

【発明の名称】 A/D変換器

【請求項の数】 3

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 坂本 忠之

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

 【代表者】 佐藤 研一郎

【代理人】

 【識別番号】 100083231

 【住所又は居所】 東京都港区新橋 2 丁目 1 0 番 5 号 末吉ビル 5 階 ミネルバ国際特許事務所

 【弁理士】

 【氏名又は名称】 紋田 誠

【選任した代理人】

 【識別番号】 100112287

 【住所又は居所】 東京都港区新橋 2 丁目 1 0 番 5 号 末吉ビル 5 階 ミネルバ国際特許事務所

 【弁理士】

 【氏名又は名称】 逸見 輝雄

【手数料の表示】

 【予納台帳番号】 016241

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9901021

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 A/D変換器

【特許請求の範囲】

【請求項1】 入力電圧を複数Nビットのデジタル信号に直並列変換するA/D変換器において、

基準電圧を分圧して前記複数Nビット用の複数の分圧電圧を発生する分圧電圧発生回路と、

前記複数の分圧電圧のうちの、前記複数Nビットの半分よりも多い上位側ビットに対応する各分圧電圧と、前記入力電圧とをそれぞれ比較する上位側比較器と、

前記上位側比較器の比較出力を符号化し、前記複数Nビットの半分よりも多い上位側ビットデータとして出力する上位側符号化回路と、

前記複数の分圧電圧のうちの前記複数Nビットの半分の下位側ビットに対応する各分圧電圧を、前記上位側比較器の比較結果に基づいて、選択する選択回路と、

前記選択回路によって選択された各分圧電圧と、前記入力電圧とをそれぞれ比較する下位側比較器と、

前記下位側比較器の比較出力を符号化し、前記複数Nビットの半分の下位側ビットデータとして出力する下位側符号化回路と、

前記上位側ビットデータと前記下位側ビットデータとが整合する場合には、所定の条件に合わせて前記複数Nビットデータとして出力する一方、前記上位側ビットデータと前記下位側ビットデータとが整合しない場合には、前記下位側ビットデータにしたがって前記上位側ビットデータを修正し所定の条件に合わせて前記複数Nビットデータとして出力する論理回路と、を備えることを特徴とする、A/D変換器。

【請求項2】 前記複数Nビットは $2n$ ビットであり、前記上位側ビットデータは $n+1$ ビットであり、前記下位側ビットデータは n ビットであることを特徴とする、請求項1記載のA/D変換器。

【請求項3】 外部からの入力信号をサンプリング周期毎にサンプリングしホ

ールドし、前記入力電圧を発生するサンプルホールド回路と、前記上位側比較器の比較出力をそれぞれラッチし、それらラッチされた比較出力を前記上位側符号化回路に入力する上位側ラッチ回路と、前記下位側比較器の比較出力をそれぞれラッチし、それらラッチされた比較出力を前記下位側符号化回路に入力する下位側ラッチ回路とを備え、前記上位側ラッチ回路及び前記下位側ラッチ回路は、前記サンプリング周期の同じ周期内で異なった時点でそれぞれラッチすることを特徴とする、請求項 1、2 記載の A/D 変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アナログ・デジタル (A/D) 変換器に係り、特に集積回路化に好適な直並列形 A/D 変換器に関する。

【0002】

【従来の技術】

直並列形 A/D 変換器は、回路規模がビット数に対して指数関数的に増加する並列形 A/D 変換器に比較して、回路構成が簡素化できて集積回路化に適している。

【0003】

この直並列型 A/D 変換器は、4 ビットを例にとると、入力電圧を、まず、上位ビット用の 3 つの比較器で基準電圧の各分圧電圧と比較し、エンコーダを介して上位 2 ビットを決定し、次いで、この結果に基づいてスイッチ群の 1 つを選択してオンし、下位ビット用の 3 つの比較器により選択された基準分圧電圧と入力電圧を比較し、エンコーダを介して下位 2 ビットを決定する。

【0004】

一般に、 2^n ビットの A/D 変換では $2^n - 1$ 個の比較器で上位 n ビットを決定し、他の $2^n - 1$ 個の比較器で下位 n ビットを決定する。したがって、必要な比較器数は $2^{n+1} - 2$ 個となり、完全並列形の場合の比較器数である $2^{2n} - 1$ 個に比べて著しく少なくできる。

【0005】

この直並列型 A/D 変換器は、上位ビットデータと下位ビットデータの決定に別々の比較器群を用い別々のタイミングで比較動作を行なわせるから、両者の間に回路構成上の差等に起因する比較動作上の誤動作（ミスマッチ）が生じる可能性がある。

【0006】

このような上位ビットと下位ビット変換における比較動作上の誤動作を防止するために、 $2n$ ビットの A/D 変換を行う場合に、 $2n$ ビット（例、4 ビット）の A/D 変換時に、上位ビットを n ビット（例、2 ビット）とする一方、下位ビット変換に用いる比較器を増設（例、3 個→7 個）し比較すべき基準分圧電圧の範囲を上下に拡張して、下位ビットを $n+1$ ビット（例、3 ビット）とする。これにより、誤動作を補うことが知られている（特許文献 1 参照）。

【0007】

【特許文献 1】

特公平 06-81048 号公報

【0008】

【発明が解決しようとする課題】

この下位ビット用の比較器は、最小桁ビット LSB を判別するために許容される誤差範囲が小さく、上位ビット用比較器に比べて高精度に形成されるから、消費電流が大きくなり、また回路的に工夫するとしても大きな面積を必要とする。

【0009】

従来の直並列型 A/D 変換器では、上位ビットと下位ビット変換における比較動作上の誤動作を防止するために、高精度な下位ビット用の比較器を増設しているから、直並列型 A/D 変換器の消費電流が大きくなり、また IC チップの所要面積が大きくなるという問題がある。

【0010】

そこで、本発明は、2 ステップで直並列動作して A/D 変換するものにおいて、高精度な下位ビット用の比較器を増設することなく、上位ビットと下位ビット変換における比較動作上の誤動作を防止し、消費電流を低減することができる A/D 変換器を提供することを目的とする。

【0011】

【課題を解決するための手段】

請求項1のA/D変換器は、入力電圧を複数Nビットのデジタル信号に直並列変換するA/D変換器において、基準電圧を分圧して前記複数Nビット用の複数の分圧電圧を発生する分圧電圧発生回路と、前記複数の分圧電圧のうちの、前記複数Nビットの半分よりも多い上位側ビットに対応する各分圧電圧と、前記入力電圧とをそれぞれ比較する上位側比較器と、前記上位側比較器の比較出力を符号化し、前記複数Nビットの半分よりも多い上位側ビットデータとして出力する上位側符号化回路と、前記複数の分圧電圧のうちの前記複数Nビットの半分の下位側ビットに対応する各分圧電圧を、前記上位側比較器の比較結果に基づいて、選択する選択回路と、前記選択回路によって選択された各分圧電圧と、前記入力電圧とをそれぞれ比較する下位側比較器と、前記下位側比較器の比較出力を符号化し、前記複数Nビットの半分の下位側ビットデータとして出力する下位側符号化回路と、前記上位側ビットデータと前記下位側ビットデータとが整合する場合には、所定の条件に合わせて前記複数Nビットデータとして出力する一方、前記上位側ビットデータと前記下位側ビットデータとが整合しない場合には、前記下位側ビットデータにしたがって前記上位側ビットデータを修正し所定の条件に合わせて前記複数Nビットデータとして出力する論理回路と、を備えることを特徴とする。

【0012】

請求項2のA/D変換器は、請求項1記載のA/D変換器において、前記複数Nビットは $2n$ ビットであり、前記上位側ビットデータは $n+1$ ビットであり、前記下位側ビットデータは n ビットであることを特徴とする。

【0013】

請求項3のA/D変換器は、請求項1、2記載のA/D変換器において、外部からの入力信号をサンプリング周期毎にサンプリングしホールドし、前記入力電圧を発生するサンプルホールド回路と、前記上位側比較器の比較出力をそれぞれラッチし、それらラッチされた比較出力を前記上位側符号化回路に入力する上位側ラッチ回路と、前記下位側比較器の比較出力をそれぞれラッチし、それらラッ

チされた比較出力を前記下位側符号化回路に入力する下位側ラッチ回路とを備え、前記上位側ラッチ回路及び前記下位側ラッチ回路は、前記サンプリング周期の同じ周期内で異なった時点でそれぞれラッチすることを特徴とする。

【0014】

【発明の実施の形態】

以下、本発明の2ステップ動作の直並列型A/D変換器の実施の形態について、図を参照して説明する。図1は、本発明の実施の形態に係る直並列型A/D変換器の構成を示す図である。図2は、図1の直並列型A/D変換器の動作を説明するための図である。

【0015】

図1では、入力信号 S_{in} を、ビット数 N が4ビットのデジタルデータ $Data$ に変換して出力する場合の構成を示している。この図1のA/D変換器は、ICチップに作り込まれている。

【0016】

図1において、基準電圧 V_{ref} をグランドとの間でそれぞれ抵抗値の等しい抵抗器 $R_1 \sim R_{16}$ で分圧し、各分圧点から各分圧電圧 $V_1 \sim V_{15}$ を得る。

【0017】

サンプルホールド回路15は、入力信号 S_{in} を所定周期のサンプリング信号 S_p でサンプリングし、サンプリングされた電圧値を入力電圧 V_{in} としてそのサンプリング周期の間は保持する。

【0018】

上位側比較器11-1～11-7は、4ビットのうちの上位側3ビットに対応する各分圧電圧 V_2 、 V_4 、 V_6 、 V_8 、 V_{10} 、 V_{12} 、 V_{14} と入力電圧 V_{in} とが入力され、高低が比較される。従来のように上位側2ビットの場合には、入力電圧 V_{in} が分圧電圧 V_4 、 V_8 、 V_{12} と比較されるだけであるので、本発明ではそれと比較すると上位側比較器、ラッチ回路とも増加されている。

【0019】

この上位側比較器11-1～11-7は、下位側比較器に比べて許容される誤差範囲が大きく、自己の基準電圧と上方の比較器或いは下方の比較器の基準電圧

との中間点の電圧程度までの誤差が許容されるから、それほど高精度を要求されない。したがって、下位側比較器より、消費電流も小さくでき、所要面積も小さくできる。

【0020】

上位側ラッチ回路12-1～12-7は、上位側比較器11-1～11-7の比較出力を、上位側ラッチ信号L1が印加された時点でラッチする。上位側ラッチ信号L1は、各サンプリング周期内で1回発生される。

【0021】

上位側符号化器（エンコーダ）20は、各上位側ラッチ回路12-1～12-7のラッチ出力が入力され、そのラッチ出力の状態をコード化し、3ビットの上位ビットデータDUを出力する。また、上位側符号化器20からは、各上位側ラッチ回路12-1～12-7のラッチ出力の状況に応じて選択信号selが出力される。選択信号selは、図のように8本の操作線で供給しても良いし、また、上位ビットデータDUを利用するようにしても良い。

【0022】

第1選択回路16-1～第3選択回路16-3は、8つの入力端子P1～P8のうちのいずれかを選択信号selに応じて選択して出力端子P0に接続する。選択回路16-1の入力端子P1～P8は、グラウンド電圧と分圧電圧V2、V4、V6、V8、V10、V12、V14が入力される。選択回路16-2のP1～P8は、分圧電圧V1、V3、V5、V7、V9、V11、V13、V15が入力される。また、選択回路16-3の入力端子P1～P8は、分圧電圧V2、V4、V6、V8、V10、V12、V14と基準電圧Vrefが入力される。

【0023】

下位側比較器13-1～13-3は、4ビットのうちの下位側2ビットに対応する各分圧電圧が選択回路16-1～16-3により選択されて入力され、それぞれ入力電圧Vinと、高低が比較される。例えば、上位側比較器11-1～11-3が高（H）レベルを出力し、上位側比較器11-4～11-7が低（L）レベルを出力する場合には、各選択回路16-1～16-3は入力端子P4に接続される。したがって、下位側比較器13-1～13-3には、それぞれ分圧電

圧 V 6、V 7、V 8 が入力される。

【0024】

この下位側比較器 13-1～13-3 は、最下位桁ビット L S B を判定するものであるから、許容される誤差範囲が小さく、できるだけ高精度の比較器が用いられる。したがって、下位側比較器は、上位側比較器より消費電流や所要面積も大きくなるので、使用する個数が少ないことにより、全体としての消費電流を小さくでき、所要面積も小さくできる。

【0025】

下位側ラッチ回路 14-1～14-3 は、下位側比較器 13-1～13-3 の比較出力を、下位側ラッチ信号 L 2 が印加された時点でラッチする。下位側ラッチ信号 L 2 は、各サンプリング周期内で 1 回だけ、選択信号 s e l が出力され下位側比較器 13-1～13-3 の比較出力が得られた後に発生される。

【0026】

下位側符号化器（エンコーダ）30 は、各下位側ラッチ回路 14-1～14-3 のラッチ出力が入力され、そのラッチ出力の状態をコード化し、2 ビットの下位ビットデータ D L を出力する。

【0027】

論理回路 40 は、3 ビットの上位ビットデータ D U と 2 ビットの下位ビットデータ D L とが入力される。そして、上位ビットデータ D U と下位ビットデータ D L とが整合している場合には、所定の条件に合わせて 4 ビットデータ D a t a として出力する。一方、上位ビットデータ D U と下位ビットデータ D L とが整合しない場合には、上位ビットデータ D U が誤っていると判断して、下位ビットデータ D L にしたがって上位ビットデータ D U を修正し所定の条件に合わせて 4 ビットデータ D a t a として出力する。

【0028】

図 1 の 2 ステップ動作の直並列型 A/D 変換器の動作を、図 2 も参照して説明する。

【0029】

サンプルホールド回路 15 は、サンプリング信号 S p が供給された時点の入力

信号 S_{in} がサンプリングされ、ホールドされ、入力電圧 V_{in} を出力する。

【0030】

この入力電圧 V_{in} が上位側比較器 11-1 ~ 11-7 に入力され、各分圧電圧 V_2 、 V_4 、 V_6 、 V_8 、 V_{10} 、 V_{12} 、 V_{14} と比較される。その比較結果に応じて、上位ビットデータ D_U と、選択信号 sel が決定される。

【0031】

以下、上位側比較器 11-1 ~ 11-3 が H レベルを出力し、上位側比較器 11-4 ~ 11-7 が L レベルを出力する場合を例に挙げて説明する。この場合には、上位側符号化器 20 からは上位ビットデータ D_U として、「011」が出力され、選択信号 sel は各選択回路 16-1 ~ 16-3 が入力端子 P_4 を選択するように動作する。

【0032】

選択回路 16-1 ~ 16-3 がそれぞれ入力端子 P_4 に選択されたことにより、図 2 に示されるように、下位側比較器 13-1 には分圧電圧 V_6 が入力され、下位側比較器 13-2 には分圧電圧 V_7 が入力され、下位側比較器 13-3 には分圧電圧 V_8 が入力される。

【0033】

これら下位側比較器 13-3 ~ 13-1 の比較出力の組み合わせは、分圧電圧の高い側から順に表現すると、「LLL」、「LLH」、「LHH」、「HHH」の 4 通りがある。

【0034】

下位側符号化器 30 は下位側比較器 13-3 ~ 13-1 の比較出力の組み合わせに対応して、例えば、「LLL」に対して「00」、「LLH」に対して「01」、「LHH」に対して「10」、「HHH」に対して「11」となる、2 ビットの下位ビットデータ D_L を出力する。なお、比較出力の組み合わせに対応する下位ビットデータ D_L の表現は、論理回路 40 での処理に合わせて、他の表現を用いることもできる。

【0035】

上位側符号化器 20 からの 3 ビットの上位ビットデータ D_U 「011」と下位

側符号化器 30 からの 2 ビットの下位ビットデータ DL が、論理回路 40 に入力される。論理回路 40 では、上位ビットデータ DU と下位ビットデータ DL とが整合するか否かを判定し、整合しない場合には下位ビットデータ DL にしたがって上位ビットデータ DU を修正する。そして、所定の条件に合わせて 4 ビットデータとして出力する。

【0036】

論理回路 40 での整合するか否かの判定は、次のように行われる。上位側比較器 11-4 が L レベルを出力し、上位側比較器 11-3 が H レベルを出力しているので、下位側比較器 13-3 ~ 13-1 の比較出力の組み合わせは通常は、「LLH」、「LHH」の 2 通りである。

【0037】

下位側比較器 13-3 ~ 13-1 の比較出力の組み合わせが、「LLL」または「HHH」の場合には、上位側比較器 11-4、11-3 の比較結果と下位側比較器 13-3 ~ 13-1 の比較結果とがミスマッチの状態にある。即ち、上位ビットデータ DU と下位ビットデータ DL とが整合していない状態である。

【0038】

この場合、同じ分圧電圧 V8 を上位側比較器 11-4 と下位側比較器 13-3 で用いて入力電圧 V_{in} と比較しており、また同じ分圧電圧 V6 を上位側比較器 11-3 と下位側比較器 13-1 で用いて入力電圧 V_{in} と比較している。下位側比較器 13-3、13-1 が上位側比較器 11-4、11-3 よりも高い精度を有しているので、下位側比較器 13-3、13-1 の比較結果に基づいて、上位ビットデータ DU を修正して、出力データ Data を出力する。

【0039】

上位ビットデータ DU と下位ビットデータ DL とは、図 2 に示されるように、分圧電圧 V6 から低電圧の方向に 1LSB 分及び分圧電圧 V8 から高電圧の方向に 1LSB 分だけそれぞれ判定がオーバーラップ OL している。このオーバーラップ OL を利用して、上位ビットデータ DL を修正することによって、その分のミスマッチが解消できる。

【0040】

表 1 にその比較結果及び修正の状況を示している。括弧内は、修正後の上位ビットデータである。

【0041】

【表 1】

| 上位ビットデータDU | 下位側比較出力 | 下位ビットデータDL | 出力データData |
|------------|---------|------------|-----------|
| (1 0 0) | H H H | 1 1 | 1 0 0 0 |
| 0 1 1 | L H H | 1 0 | 0 1 1 1 |
| 0 1 1 | L L H | 0 1 | 0 1 1 0 |
| (0 1 0) | L L L | 0 0 | 0 1 0 1 |

【0042】

なお、上位側比較器 11-1 ~ 11-3 が H レベル、上位側比較器 11-4 ~ 11-7 が L レベルを出力した場合について説明したが、上位側比較器 11-1 ~ 11-7 の比較結果が他の場合でも、同様の動作を行う。

【0043】

以上のように、本発明では、4 ビット A/D 変換の場合に、上位側比較器が 7 個、下位側比較器が 3 個であり、従来のものの上位側比較器が 3 個、下位側比較器が 7 個と、比較器の総数は同じであるが、高精度が必要な下位側比較器の数が少なくできる。したがって、全体としての消費電流を小さくでき、所要面積も小さくできる。

【0044】

本発明は、4 ビット A/D 変換に限らず、任意のビット数 N の A/D 変換に適用することができる。一般化して表現すると、本発明は、 $N = 2^n + 1$ とおくと、上位側比較器の数は $2^n + 1 - 1$ 、下位側比較器の数は $2^n - 1$ で、実現することができる。ビット数 $N = 8$ の場合には、上位側比較器の数は 31 個、下位側比較器の数は 15 個となる。なお、ビット数 N (例、7) が奇数の場合には、1 だけ加算し、加算されたビット数 $N + 1$ の半分以上のビット数を上位側ビット数 (例、5 或いは 4) とし、残りのビット数を下位側ビット数 (例、3 或いは 4) とす

ればよい。

【0045】

【発明の効果】

本発明によれば、直並列動作してA/D変換するA/D変換器において、上位ビット数を全ビット数の半分より多くし、下位ビット数を全ビット数の半分とし、上位及び下位ビットデータが整合しない場合に、下位ビットデータによって上位ビットデータを修正する。この上位ビットデータの修正により、上位ビットと下位ビット変換における比較動作上の誤動作を防止し、且つ、従来のものより変換器全体としての消費電流を低減することができ、また、ICチップの所要面積の増加を抑制することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態に係る直並列型A/D変換器の構成を示す図。

【図2】

図1の直並列型A/D変換器の動作を説明するための図。

【符号の説明】

- 11-1～11-7 上位側比較器
- 12-1～12-7 上位側ラッチ回路
- 13-1～13-3 下位側比較器
- 14-1～14-3 下位側ラッチ回路
- 15 サンプルホールド回路
- 16-1～16-3 選択回路
- 20 上位側符号化器
- 30 下位側符号化器
- 40 論理回路
- Sin 入力信号
- Vin 入力電圧
- Vref 基準電圧
- V1～V15 分圧電圧

R 1 ～ R 1 6 分圧抵抗

s e l 選択信号

D U 上位ビットデータ

D L 下位ビットデータ

S p サンプリング信号

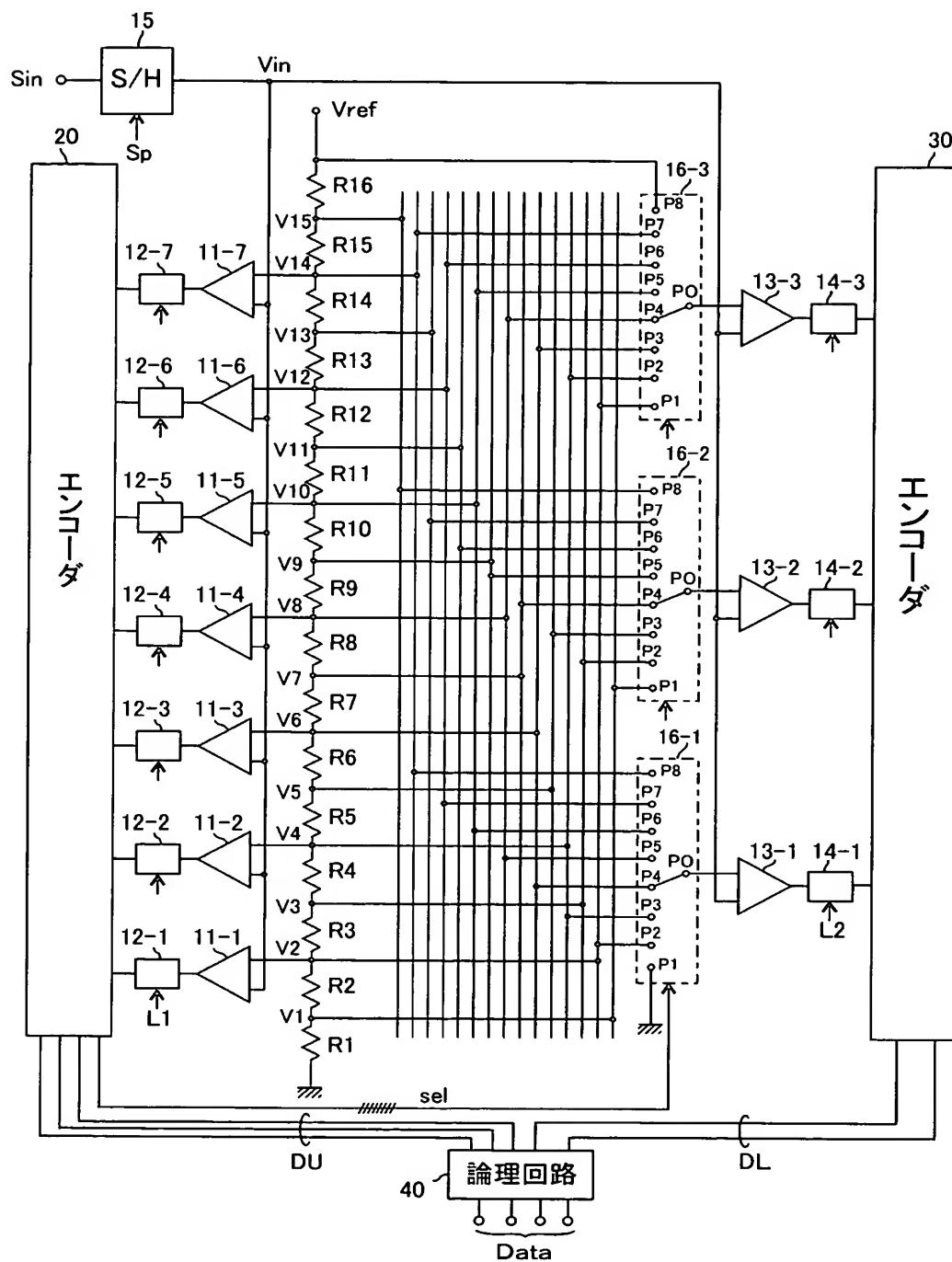
L 1 上位側ラッチ信号

L 2 下位側ラッチ信号

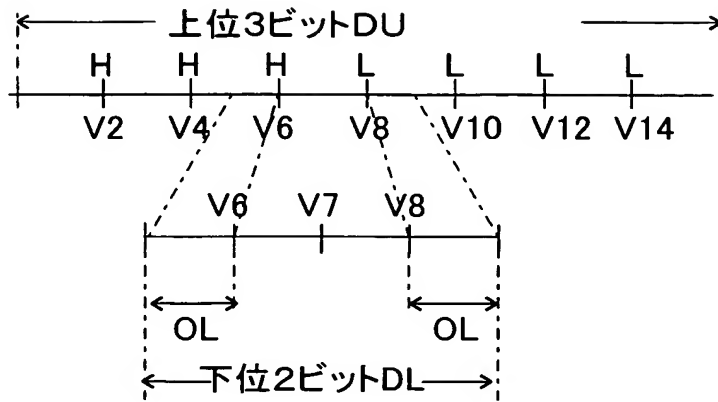
【書類名】

図面

【圖 1】



【図 2】



【書類名】 要約書

【要約】

【課題】直並列型A/D変換器において、高精度な下位ビット用の比較器を増設することなく、上位ビットと下位ビット変換における比較動作上の誤動作を防止し、消費電流を低減すること。

【解決手段】直並列動作してA/D変換するものにおいて、上位ビット数を全ビット数の半分より多くし、下位ビット数を全ビット数の半分とし、上位及び下位ビットデータを得る。そして、上位及び下位ビットデータが整合しない場合に、下位ビットデータによって上位ビットデータを修正する。

【選択図】 図1



特願 2 0 0 3 - 0 8 2 5 4 8

出 願 人 履 歷 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社